

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-93055

(43) 公開日 平成10年(1998) 4月10日

(51) Int.Cl.<sup>6</sup>  
H 0 1 L 27/115  
27/10  
21/8247  
29/788  
29/792

識別記号

4 8 1

F I

H 0 1 L 27/10

29/78

4 3 4

4 8 1

3 7 1

審査請求 有 請求項の数 2 O L (全 8 頁)

(21) 出願番号 特願平9-165856  
(22) 出願日 平成9年(1997) 6月23日  
(31) 優先権主張番号 96-24393  
(32) 優先日 1996年6月27日  
(33) 優先権主張国 韓国 (K R)

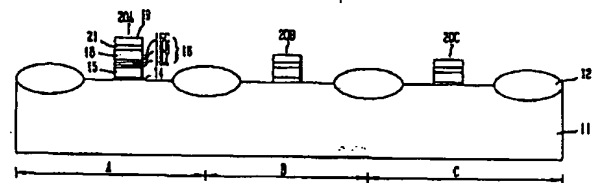
(71) 出願人 591024111  
現代電子産業株式会社  
大韓民国京畿道利川市夫鉢邑牙美里山136  
- 1  
(72) 発明者 趙 敏 局  
大韓民国 ソウル市 銅雀区 舍堂洞  
432-33  
(72) 発明者 金 種 五  
大韓民国 ソウル市 城北区 東小門5街  
55-39  
(74) 代理人 弁理士 中川 周吉 (外1名)

(54) 【発明の名称】 フラッシュメモリ素子の製造方法

(57) 【要約】 (修正有)

【課題】 フラッシュメモリ素子のゲート電極形成過程において誘電体膜の損傷を最小限にとどめることにより素子の特性を向上することにある。

【解決手段】 メモリセル領域Aと高電圧用トランジスタ領域Bのアクティブ領域に第1ポリシリコン層を残留させ、フィールド酸化膜を包含する全体構造上部にONO構造の誘電体膜を形成する。低電圧用トランジスタ領域Cに形成された誘電体膜を除去した後、洗浄する。低電圧用トランジスタ領域にゲート酸化膜を形成した後、全体構造上部に第2ポリシリコン層を形成する。高電圧用トランジスタ領域に形成された第2ポリシリコン層及び誘電体膜を除去した後、洗浄する。シリコン基板の全体構造上部に第3ポリシリコン層及びシリサイド層を順次に形成して、パターニング工程を通じてメモリセル領域、高電圧用トランジスタ領域及び低電圧用トランジスタ領域にゲート電極を各々形成する。



## 【特許請求の範囲】

## 【請求項1】 フラッシュメモリ素子の製造方法において、

フィールド酸化膜によりメモリセル領域、高電圧用トランジスタ領域及び低電圧用トランジスタ領域に区分されたシリコン基板上に酸化膜を形成する段階と、メモリセル領域に形成された酸化膜を除去し、露出されたシリコン基板上にトンネル酸化膜を形成する段階と、フィールド酸化膜を包含する全体構造上部に第1ポリシリコン層を形成し、第1ポリシリコン層を一部除去し、メモリセル領域と高電圧用トランジスタ領域のアクティブ領域に第1ポリシリコン層を残留させる段階と、フィールド酸化膜を包含する全体構造上部にONO構造の誘電体膜を形成する段階と、低電圧用トランジスタ領域に形成された誘電体膜を除去した後、洗浄する段階と、低電圧用トランジスタ領域にゲート酸化膜を形成した後、全体構造上部に第2ポリシリコン層を形成する段階と、高電圧用トランジスタ領域に形成された第2ポリシリコン層及び誘電体膜を除去した後、洗浄する段階と、シリコン基板の全体構造上部に第3ポリシリコン層及びシリサイド層を順次に形成する段階と、パターニング工程を通じて高電圧用トランジスタ領域と低電圧用トランジスタ領域にゲート電極を各々形成する段階と、パターニング工程を通じてメモリセル領域にゲート電極を形成する段階とによりなるフラッシュメモリ素子の製造方法。

## 【請求項2】 フラッシュメモリ素子の製造方法において、

フィールド酸化膜によりメモリセル領域、高電圧用トランジスタ領域及び低電圧用トランジスタ領域に区分されたシリコン基板上に酸化膜を形成する段階と、メモリセル領域に形成された酸化膜を除去し、露出されたシリコン基板上にトンネル酸化膜を形成する段階と、フィールド酸化膜を包含する全体構造上部に第1ポリシリコン層を形成し、第1ポリシリコン層を一部除去してメモリセル領域と高電圧用トランジスタ領域のアクティブ領域に第1ポリシリコン層を残留させる段階と、フィールド酸化膜を包含した全体構造上部にONO構造の誘電体膜を形成する段階と、低電圧用トランジスタ領域に形成された誘電体膜を除去した後、洗浄する段階と、低電圧用トランジスタ領域にゲート酸化膜を形成した後、全体構造上部に第2ポリシリコン層を形成する段階と、高電圧用トランジスタ領域に形成された第2ポリシリコン層及び誘電体膜を除去した後、洗浄する段階と、シリコン基板の全体構造上部にシリサイド層を形成する

段階と、

パターニング工程を通じて高電圧用トランジスタ領域と低電圧用トランジスタ領域にゲート電極を各々形成する段階と、

パターニング工程を通じてメモリセル領域にゲート電極を形成する段階とによりなるフラッシュメモリ素子の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明はフラッシュメモリ素子の製造方法に関し、特にポリシリコン層及びシリサイド層の積層構造によりなるゲート電極を有する高電圧用トランジスタ及び低電圧用トランジスタを形成する過程においてメモリセルをなす誘電体膜の損傷を最小化することができるフラッシュメモリ素子の製造方法に関するものである。

## 【0002】

【従来の技術】一般的にプログラム及び消去動作を速やかに実現するためゲート電極はポリシリコン層及びシリサイド層の2層構造を有し、フラッシュEEPROMセルには80乃至150Å厚さのゲート酸化膜を有する低電圧用トランジスタと150乃至300Å厚さのゲート酸化膜を有する高電圧用トランジスタが形成されている。

【0003】ポリシリコン層／シリサイド層の積層構造によりなるゲート電極を有する高電圧用トランジスタと低電圧用トランジスタを包含する一般的なフラッシュメモリ素子の製造方法を添付した図面を参照して説明すると次の通りである。

【0004】図1乃至図13は一般的なフラッシュメモリ素子の製造方法を段階別に説明するための素子の断面図であり、図1はフィールド酸化膜2によりメモリセル領域A、高電圧用トランジスタ領域B及び低電圧用トランジスタ領域Cが区分されたシリコン基板1上に酸化膜3が形成されている状態を表す。

【0005】酸化膜3を一部除去してメモリセル領域Aのシリコン基板1を露出させ(図2参照)、メモリセル領域Aにトンネル酸化膜4を形成した後、全体構造上部に第1ポリシリコン層5を形成する(図3参照)。その後、高電圧用及び低電圧用トランジスタ領域B、Cに形成された第1ポリシリコン層5を除去し、メモリセル領域Aのトンネル酸化膜4上部に第1ポリシリコン5を残留させる(図4参照)。

【0006】各フィールド酸化膜2を包含する全体構造上部に下部酸化膜6A、窒化膜6B及び上部酸化膜6CのONO構造を有する誘電体膜6を形成した後(図5参照)、高電圧用及び低電圧用トランジスタ領域B、Cに形成された誘電体膜6を選択的に除去し、第1次洗浄工程を実施する(図6参照)。

【0007】その後、高電圧用及び低電圧用トランジスタ

タ領域B、C上にイオン注入及び第2次洗浄工程を実施し、HFを使用して高電圧用及び低電圧用トランジスタ領域B、C上に形成された酸化膜3を除去する(図7参照)。この時、図7を通じてみられるようにメモリセル領域Aに形成されたONO構造の誘電体膜6の内、上部酸化膜6CもまたHFを用いた酸化膜除去工程時に除去される。

【0008】フィールド酸化膜2を除いた全体構造上部に中間酸化膜6Dを形成し(図8参照)、その後、低電圧用トランジスタ領域Cに形成された中間酸化膜6Dを除去した後、第3次洗浄工程を実施する(図9参照)。

【0009】図10に第3次洗浄工程を実施した後、低電圧用トランジスタ領域Cにゲート酸化膜7が形成された状態を図示した。この時、低電圧用トランジスタ領域Cにゲート酸化膜7を形成する前に実施する洗浄工程によりメモリセル領域Aに形成されたONO構造の誘電体膜6の内、窒化膜6Bは損傷を受け、ゲート酸化膜7形成時に窒化膜6B上に上部酸化膜6Cが再び形成されてONO構造の誘電体膜6が形成される。

【0010】その後、フィールド酸化膜2を包含する全体構造上部に第2ポリシリコン層8及びシリサイド層9が順次に形成され(図11参照)、第2ポリシリコン層8及びシリサイド層9をパターニングして高電圧用及び低電圧用トランジスタ領域B、Cにゲート電極10B、10Cを形成する(図12参照)。

【0011】図13はメモリセル領域Aをパターニングしてゲート電極10Aを形成した状態を図示する。

【0012】

【発明が解決しようとする課題】以上のような方法によりメモリセル領域A、高電圧用トランジスタ領域B及び低電圧用トランジスタ領域Cにゲート電極10A、10B、10Cを各々形成する過程においてメモリセル領域Aに形成された誘電体膜6は各酸化膜除去後実施される洗浄工程に用いられた洗浄溶液により損傷をうけるため素子の特性が劣化する問題が発生する。

【0013】したがって、本発明はゲート電極形成過程において誘電体膜の損傷を最小限におさえながら均一な誘電体膜を形成することにより上記の問題点を解消することができるフラッシュメモリ素子の製造方法を提供することにその目的がある。

【0014】

【課題を解決するための手段】本発明によるフラッシュメモリ素子の製造方法はフィールド酸化膜によりメモリセル領域、高電圧用トランジスタ領域及び低電圧用トランジスタ領域に区分されたシリコン基板上に酸化膜を形成する段階と、メモリセル領域に形成された酸化膜を除去し、露出されたシリコン基板上にトンネル酸化膜を形成する段階と、フィールド酸化膜を包含する全体構造上部に第1ポリシリコン層を形成し、第1ポリシリコン層を一部除去し、メモリセル領域と高電圧用トランジスタ

領域のアクティブ領域に第1ポリシリコン層を残留させる段階と、フィールド酸化膜を包含する全体構造上部にONO構造の誘電体膜を形成する段階と、低電圧用トランジスタ領域に形成された誘電体膜を除去した後、洗浄する段階と、低電圧用トランジスタ領域にゲート酸化膜を形成した後、全体構造上部に第2ポリシリコン層を形成する段階と、高電圧用トランジスタ領域に形成された第2ポリシリコン層及び誘電体膜を除去した後、洗浄する段階と、シリコン基板の全体構造上部に第3ポリシリコン層及びシリサイド層を順次に形成する段階と、パターニング工程を通じて高電圧用トランジスタ領域と低電圧用トランジスタ領域にゲート電極を各々形成する段階と、パターニング工程を通じてメモリセル領域にゲート電極を形成する段階によりなる。

【0015】

【発明の実施の形態】以下、本発明によるフラッシュメモリ素子の製造方法を添付した図面を参照して詳細に説明すると次の通りである。

【0016】図14乃至図24はフラッシュメモリ素子の製造方法を説明するための素子の断面図であり、図14はフィールド酸化膜12によりメモリセル領域A、高電圧用トランジスタ領域B及び低電圧用トランジスタ領域Cに区分されたシリコン基板11上に酸化膜13を形成した状態を図示した。

【0017】シリコン基板11が露出されるようにメモリセル領域Aに形成された酸化膜13を除去し、露出されたシリコン基板11上にトンネル酸化膜14を形成する(図15参照)。フィールド酸化膜12を包含する全体構造上部に第1ポリシリコン層15を形成し(図16参照)、その後、第1ポリシリコン層15を一部除去してメモリセル領域2Aと高電圧用トランジスタ領域Bのアクティブ領域に第1ポリシリコン層15を残留させる(図17参照)。

【0018】フィールド酸化膜12を包含した全体構造上部に下部酸化膜16A、窒化膜16B及び上部酸化膜16CのONO構造を有する誘電体膜16を形成し(図18参照)、その後、低電圧用トランジスタ領域Cに形成された誘電体膜16を除去した後、洗浄工程を実施する(図19参照)。この時、メモリセル領域Aに形成された誘電体膜16の内、上部酸化膜16Cは洗浄溶液により損傷を受ける。

【0019】引き続き、低電圧用トランジスタ領域Cにゲート酸化膜17を形成した後、全体構造上部に第2ポリシリコン層18を形成し(図20参照)、高電圧用トランジスタ領域Bに形成された第2ポリシリコン層18及び誘電体膜16を順次に除去した後、洗浄工程を実施する(図21参照)。

【0020】図22はシリコン基板11の全体構造上部に第3ポリシリコン層21及びシリサイド層19を順次に形成した状態を図示し、この後、パターニング工程を実施することにより高電圧用トランジスタ領域Bと低電圧用トラ

ンジスタ領域Cには酸化膜13、17、ポリシリコン層15、21、18、21及びシリサイド層19とによりなるゲート電極20B、20Cが各々形成される。

【0021】更にパターニング工程を再び実施してメモリセル領域Aにトンネル酸化膜14、第1ポリシリコン層15、誘電体膜16、第2及び第3ポリシリコン層18、21及びシリサイド層19が積層された構造のゲート電極20Aを形成する(図24参照)。

【0022】上述したように本発明によるゲート電極20A、20B、20C形成時、メモリセル領域Aに形成された誘電体膜16、特に、上部酸化膜16Cは低電圧用トランジスタ領域Cに形成された誘電体膜16を除去した後、実施される洗浄過程においてのみ損傷を受けるため誘電体膜16の損傷回数を最小化することができるため良好な誘電体膜を形成することができる。

【0023】上記説明において第2ポリシリコン層18又は第1ポリシリコン層15上に第3ポリシリコン層21が形成されているが、第1及び第2ポリシリコン層15、18の厚さが充分な場合は第3ポリシリコン層21を形成しないことも有り得る。

【0024】

【発明の効果】上述したように本発明によればゲート電極形成過程において洗浄工程による誘電体膜の損傷を最大限減少することにより素子の特性を向上することができる効果がある。

【図面の簡単な説明】

【図1】フラッシュメモリ素子の一般的な製造方法を説明するための素子の断面図である。

【図2】フラッシュメモリ素子の一般的な製造方法を説明するための素子の断面図である。

【図3】フラッシュメモリ素子の一般的な製造方法を説明するための素子の断面図である。

【図4】フラッシュメモリ素子の一般的な製造方法を説明するための素子の断面図である。

【図5】フラッシュメモリ素子の一般的な製造方法を説明するための素子の断面図である。

【図6】フラッシュメモリ素子の一般的な製造方法を説明するための素子の断面図である。

【図7】フラッシュメモリ素子の一般的な製造方法を説明するための素子の断面図である。

【図8】フラッシュメモリ素子の一般的な製造方法を説明するための素子の断面図である。

【図9】フラッシュメモリ素子の一般的な製造方法を説明するための素子の断面図である。

【図10】フラッシュメモリ素子の一般的な製造方法を説

明するための素子の断面図である。

【図11】フラッシュメモリ素子の一般的な製造方法を説明するための素子の断面図である。

【図12】フラッシュメモリ素子の一般的な製造方法を説明するための素子の断面図である。

【図13】フラッシュメモリ素子の一般的な製造方法を説明するための素子の断面図である。

【図14】本発明によるフラッシュメモリ素子の製造方法を説明するための素子の断面図である。

【図15】本発明によるフラッシュメモリ素子の製造方法を説明するための素子の断面図である。

【図16】本発明によるフラッシュメモリ素子の製造方法を説明するための素子の断面図である。

【図17】本発明によるフラッシュメモリ素子の製造方法を説明するための素子の断面図である。

【図18】本発明によるフラッシュメモリ素子の製造方法を説明するための素子の断面図である。

【図19】本発明によるフラッシュメモリ素子の製造方法を説明するための素子の断面図である。

【図20】本発明によるフラッシュメモリ素子の製造方法を説明するための素子の断面図である。

【図21】本発明によるフラッシュメモリ素子の製造方法を説明するための素子の断面図である。

【図22】本発明によるフラッシュメモリ素子の製造方法を説明するための素子の断面図である。

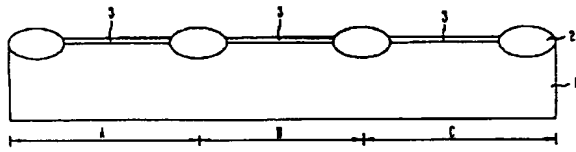
【図23】本発明によるフラッシュメモリ素子の製造方法を説明するための素子の断面図である。

【図24】本発明によるフラッシュメモリ素子の製造方法を説明するための素子の断面図である。

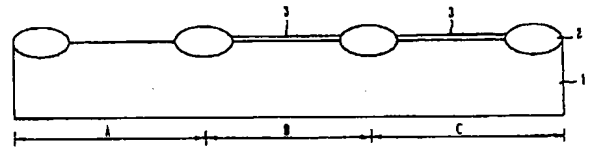
【符号の説明】

- 1、11…シリコン基板
- 2、12…フィールド酸化膜
- 3、13…酸化膜
- 4、14…トンネル酸化膜
- 5、15…第1ポリシリコン層
- 6A、16A…下部酸化膜
- 6B、16B…窒化膜
- 6C、16C…上部酸化膜
- 6D…中間酸化膜
- 6、16…誘電体膜
- 7、17…ゲート酸化膜
- 8、18…第2ポリシリコン層
- 9、19…シリサイド層
- 21…第3ポリシリコン層
- 10A～10C、20A～20C…ゲート電極

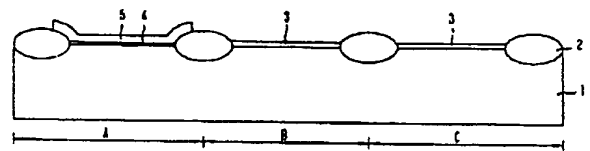
【図1】



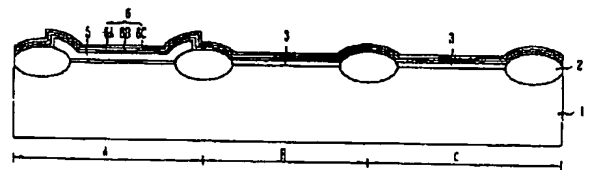
【図2】



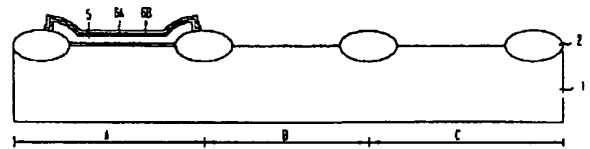
【図4】



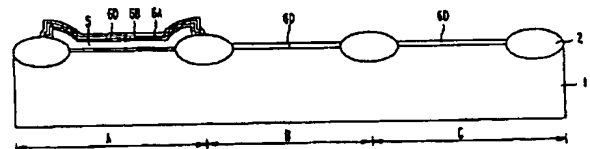
【図5】



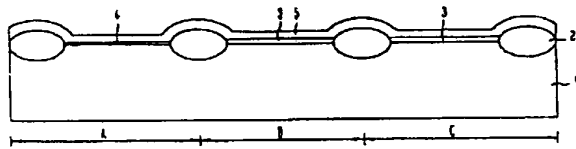
【図7】



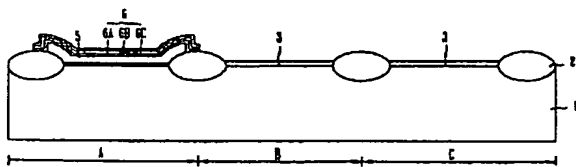
【図8】



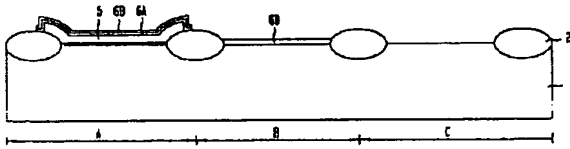
【図3】



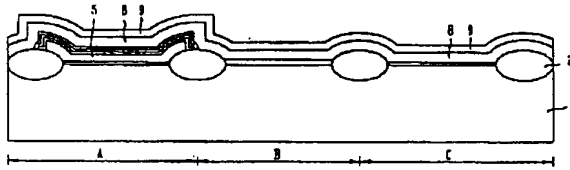
【図6】



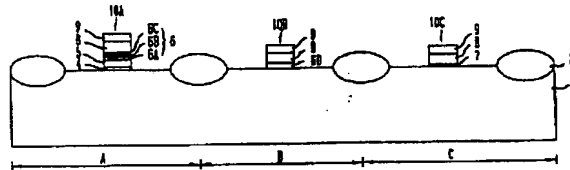
【図9】



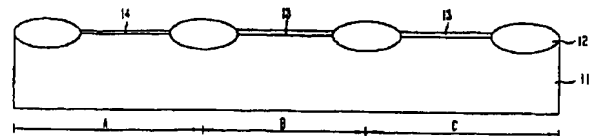
【図11】



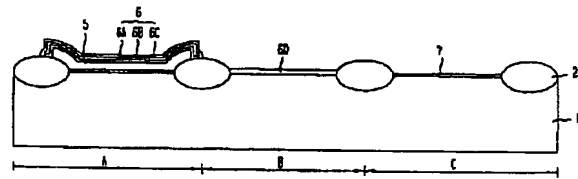
【図13】



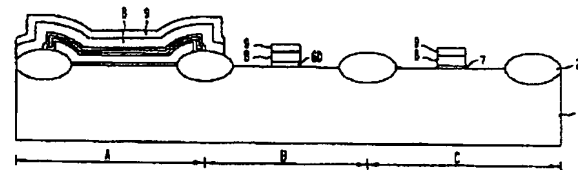
【図15】



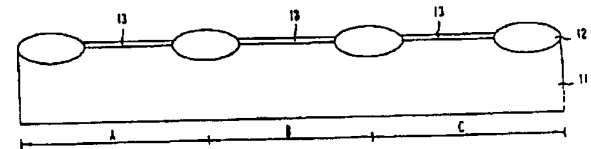
【図10】



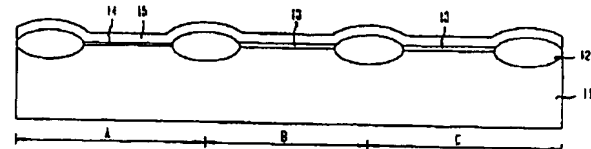
【図12】



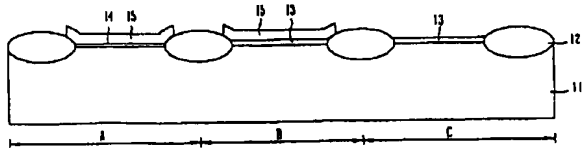
【図14】



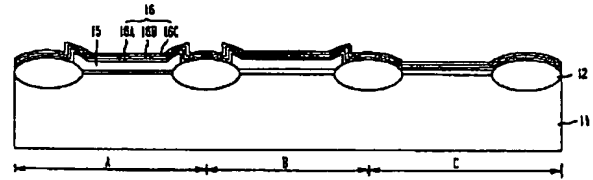
【図16】



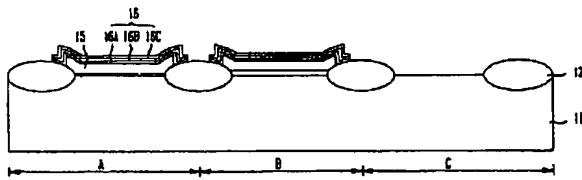
【図17】



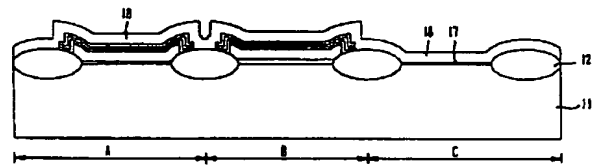
【図18】



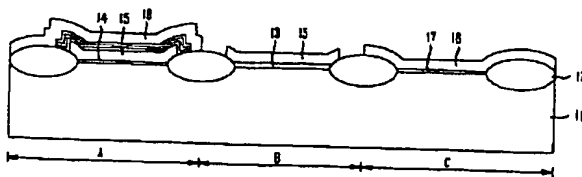
【図19】



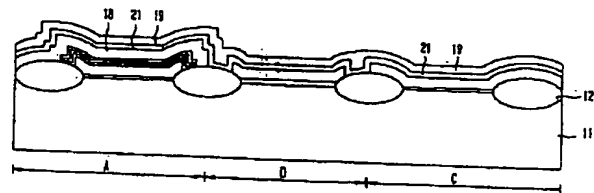
【図20】



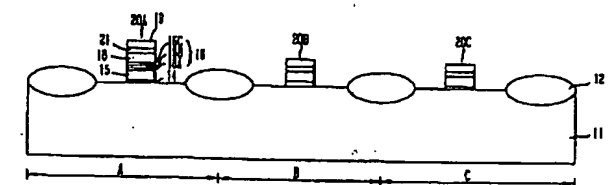
【図21】



【図22】



【図24】



(8)

特開平10-93055

【図23】

